

引用文献 4

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-309579

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)12月13日

H 04 N 5/335
H 01 L 27/14F-8838-5C
B-7377-5F

審査請求 未請求 請求項の数 7 (全16頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 昭63-139519

⑰ 出 願 昭63(1988)6月8日

⑱ 発明者 西田 泰 章 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内
 ⑱ 発明者 飯野 芳 己 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内
 ⑱ 発明者 大 竹 浩 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内
 ⑲ 出願人 日本放送協会 東京都渋谷区神南2丁目2番1号
 ⑲ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地
 ⑲ 代理人 弁理士 鈴江 武彦 外2名
 最終頁に続く

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

(1) 複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、前記各受光素子に接続され該受光素子で検出された信号電荷を取出し垂直方向に転送する複数本の第1の信号転送路と、これらの第1の信号転送路から転送される信号電荷を入力し、該電荷を水平方向に転送して検出す第2の信号転送路と、隣接する第1の信号転送路の信号電荷を加算する手段とを具備し、前記加算手段は、第1の信号転送路の n 番目(n は正の整数)と($n-1$)番目の信号電荷の加算、又は n 番目と($n+1$)番目の信号電荷の加算をフィールド毎に選択して行うものであることを特徴とする固体撮像装置。

(2) 前記第1及び第2の信号転送路は、CCDレジスタ又は倍号線であることを特徴とする請求項1記載の固体撮像装置。

(3) 前記加算手段は、加算すべき第1の信号転送路の組合わせを、フィールド毎に異ならせるものであることを特徴とする請求項1記載の固体撮像装置。

(4) 前記加算手段は、第1及び第2の信号転送路の間に設けられた加算ゲートからなり、第1の信号転送路から第2の信号転送路に信号電荷が転送される際に2つの信号電荷を加算するものであることを特徴とする請求項1又は3記載の固体撮像装置。

(5) 前記加算手段は、第1の信号転送路から第2の信号転送路に信号電荷を転送する期間又はその直後に、第2の信号転送路内で2つの信号電荷を加算するものであることを特徴とする請求項1又は3記載の固体撮像装置。

(6) 複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、前記各受光素子に接続され該受光素子で検出された信号電荷を取出し垂直方向に転送する複数本の垂直CCDレジスタと、これらのレジス

特開平 1-309579(2)

タから転送される信号電荷を入力し、該電荷を水平方向に転送して演出す水平CCDレジスタと、垂直及び水平CCDレジスタの間にそれぞれ配置され隣接する垂直CCDレジスタの信号電荷を加算する加算ゲートとを具備し、前記加算ゲートは、垂直CCDレジスタの n 番目(n は正の整数)と($n-1$)番目の信号電荷の加算、及び n 番目と($n+1$)番目の信号電荷の加算をフィールド毎に交互に行うものであることを特徴とする固体撮像装置。

(7) 複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、前記各受光素子に接続され該受光素子で検出された信号電荷を取り出し垂直方向に転送する複数本の垂直CCDレジスタと、これらのレジスタから転送される信号電荷を水平方向に転送して演出し、且つ垂直CCDレジスタから信号電荷を転送する期間又はその直後に隣接する垂直CCDレジスタからの信号電荷を加算する水平CCDレジスタとを具備し、前記水平CCDレジスタは、

- 3 -

た、画素数の増大は1画素サイズの減少につながり、さらに1画素に蓄積される信号電荷数の減少になる。そして、このノイズの増加と最大蓄積信号電荷数の減少により、ダイナミックレンジが低下する。

一方、固体撮像装置においては、ナイキスト限界以上の空間周波数を持つ被写体の撮像では、モアレ等の偽信号が発生し再生像を劣化させる。この偽信号を減少させるため従来、例えば入射面に光導電膜を積層したり、レンチカラーレンズを用いる等して画素開口を等価的に大きくしていた。しかしながら、画素ピッチより大きな開口を得ることはできず、この方法では限界があった。また、特公昭82-40910号公報に開示されている駆動法では、偶数フィールドと奇数フィールドで垂直CCD転送方向に2画素の組合わせを変え、その加算信号を出力しインターレース走査を行っている。この方法は、主として信号蓄積期間をフレーム周期からフィールド周期にして残像を低減する目的で用いられているものであり、垂直方向の偽

- 5 -

該レジスタの転送電極に与える電圧により、垂直CCDレジスタの n 番目(n は正の整数)と($n-1$)番目の信号電荷の加算、及び n 番目と($n+1$)番目の信号電荷の加算をフィールド毎に交互に行うものであることを特徴とする固体撮像装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、2次元固体撮像装置に係り、特に少ないフィールド内サンプリングポイント数で高解像度、低偽解像な信号を得るよう構成した固体撮像装置に関する。

(従来の技術)

固体撮像装置における解像度は固体撮像装置に集積された画素数によって決まり、高解像度を得るには画素数の増加が必要となる。ところが、画素数が多いことは、画素信号読出し周波数が高くなることを意味している。このため、画素数が多いと信号帯域が広がり、ノイズが増加する。ま

- 4 -

信号は減少できるものの、水平方向については従来と変わらず偽信号が発生する問題があった。

これらの問題に対して、特開昭 81-188782号公報に開示されている固体撮像装置では、画素集積度を上げることなく、且つ画素読出し周波数を下げても従来の正方格子配置画素の固体撮像装置並みの解像度を実現できる。しかも、解像度を上げてもダイナミックレンジを大きくできる特徴がある。しかしながら、この装置は1画素に4個の信号電荷読出しゲートが必要となること、垂直CCDの信号電荷転送路がジグザグとなることにより、素子構成が複雑になるという問題があった。

(発明が解決しようとする課題)

このように従来、高解像度を得るために画素数を増やすと画素サイズが小さくなり、ノイズの増大及び最大蓄積信号の減少を招き、ダイナミックレンジが低下する。さらに、ナイキスト限界以上の空間周波数を持つ被写体の撮像では、モアレ等の偽信号が発生し再生画像の劣化を招く。また、これらを解決するために特開昭 81-133782号公報

- 6 -

特開平 1-309579(3)

のような構成を採ると、信号電荷読出しゲート数が増え、信号電荷転送路がジグザグとなり、素子構成が複雑になるという問題があった。

本発明は、上記事情を考慮してなされたもので、その目的とするところは、素子構造の複雑化を招くことなく、画素数の増加に伴うダイナミックレンジの低下及びモアレ等の偽信号の発生を防止することができ、高解像度で簡易な構成の固体撮像装置を提供することにある。

〔発明の構成〕

（課題を解決するための手段）

本発明の骨子は、水平方向画素の信号加算を行い、且つフィールド毎に信号電荷の組合わせを異なるように駆動することにある。

即ち本発明は、複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、前記各受光素子に接続された該受光素子で検出された信号電荷を取り出し垂直方向に転送する複数本の第1の信号転送路（垂直CCDレジスタ）と、これらの第1の信号転送路

— 7 —

から転送される信号電荷を入力し、該電荷を水平方向に転送して読出す第2の信号転送路（水平CCDレジスタ）と、隣接する第1の信号転送路の信号電荷を加算する手段とを取り、該加算手段により、第1の信号転送路の n 番目（ n は正の整数）と（ $n-1$ ）番目の信号電荷の加算、又は n 番目と（ $n+1$ ）番目の信号電荷の加算をフィールド毎に選択して行うようにしたものである。

（作用）

本発明によれば、1画素（受光素子及び電荷蓄積部）に1個の信号読出しゲートで構成する簡単な装置にも拘らず、複数（例えば垂直及び水平の4個の）画素の信号電荷を加算し、さらにフィールド毎に各画素の組合わせを異なることができる。また、1フィールド内で全ての信号電荷を読出すことができる。従って、ノイズも少なく十分大きな信号電荷を得ることができ、ダイナミックレンジの増大をはかると共に、残像の少ない高画質の再生像を得ることが可能である。

また本発明においては、第2の信号転送路を水

— 8 —

平面素数の少なくとも1/2の段数の水平転送数で構成でき、水平転送電極を駆動する周波数も少なくとも1/2にできる。これにより信号帯域が狭くなり、その分ノイズが減少してダイナミックレンジを大きくでき、高解像度画像を得ることができる。さらに、水平方向と垂直方向の画素信号の加算を行うことにより、画素ピッチよりも大きな画素開口を持たせることができ、少ない画素数で偽信号が少なく、解像度、感度が高い再生画像が得られる。また、従来装置に見られた垂直CCDレジスタ形状の複雑さがなく、単純な形で構成できる特徴があるので、より多画素の固体撮像装置を実現することが可能となる。

（実施例）

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の第1の実施例を説明するための模式図で画素の配列と加算すべき画素の組合わせ例を示している。垂直、水平方向に配列された各画素（ P_{1-1} 、 P_{1-2} 、 \sim 、 P_{1-N} 、 P_{2-1} 、

— 9 —

P_{2-2} 、 \sim 、 P_{2-N} 、 P_{3-1} 、 P_{3-2} 、 \sim 、 P_{3-N} 、 \sim 、 P_{M-1} 、 P_{M-2} 、 \sim 、 P_{M-N} ）とこれらの画素から得られる信号電荷を垂直、水平の各2画素ずつ加算して、そのサンプリング中心点を第1フィールド○印（ S_{A1-1} 、 S_{A1-2} 、 \sim 、 S_{A2-1} 、 \dots ）、第2フィールド●印（ S_{B1-1} 、 S_{B1-2} 、 \sim 、 S_{B2-1} 、 \dots ）で示す。再生画像上の走査線を第1フィールドを N 、 $N+1$ 、 $N+2$ 、 \dots で示し、第2フィールドを N' 、 $(N+1)'$ 、 \dots で示す。

各画素の信号電荷の加算組み合わせ順を説明する。ここでは、4画素加算の場合について説明する。第1、第2フィールドで1フレームを構成する撮像方式において、第1フィールドの N 走査線に相当する画素サンプリング中心点は S_{A1-1} 、 S_{A1-2} 、 \dots となる。このとき、サンプリング中心点 S_{A1-1} に対する検出は、画素 P_{1-1} 、 P_{1-2} 、 P_{2-1} 、 P_{2-2} の信号電荷を加算して行う。そして、次のサンプリング中心点 S_{A1-2} のときは、画素 P_{1-2} 、 P_{1-3} 、 P_{2-2} 、 P_{2-3} の信号電荷を

— 10 —

特開平 1-309579(4)

加算して行う。同様に、 $N+1$ 走査線に相当する画素サンプリング中心点 S_{A2-1} , S_{A2-2} は、それぞれ画素 P_{3-1} , P_{3-2} , P_{4-1} , P_{4-2} 及び画素 P_{5-1} , P_{5-2} , P_{4-3} , P_{4-4} を加算して行う。この動作を各走査に依りて行い、次の第 2 フィールドの N' 走査線に相当する画素サンプリング中心点 S_{B1-1} , S_{B1-2} は、それぞれ画素 P_{2-1} , P_{2-2} , P_{3-3} 及び画素 P_{2-4} , P_{2-5} , P_{3-4} , P_{3-5} を加算して行う。このとき、第 1 フィールドと第 2 フィールドの水平方向と垂直方向の画素加算は 1 画素ずつずらして行う。この結果、各フィールドにおけるサンプリング中心点は図に示すように○印、●印で表示した位置になる。

上記の動作を行うことにより、各画素より構成される画素ピッチより大きな開口が得られ、且つ第 1 フィールドと第 2 フィールド間で開口が重なる効果が生じる。これにより、モアレ等の偽信号が減少できる。第 1 フィールドと第 2 フィールドのサンプリング中心点は 180° 位相がずれているので、再生画像上での解像度は素子の水平画素数

— 11 —

($20_1, \dots, 20_N$)、加算電極 30、水平 CCD レジスタ (第 2 の信号伝送路) 40、出力アンプ 50、出力端子 60 で構成される。垂直 CCD レジスタ 20 は 4 相 (ϕ_{v1} , ϕ_{v2} , ϕ_{v3} , ϕ_{v4}) で駆動され、水平 CCD レジスタ 40 は 2 相 (ϕ_{H1} , ϕ_{H2}) で駆動される場合について示している。加算電極 30 は、第 1 及び第 2 の加算ゲート 31, 32 と垂直 CCD レジスタ 20 の一部 (この図の場合は ϕ_{v1} , ϕ_{v2} が印加される電極) を使用する。第 3 図で示す点線は信号電荷の伝送路を示す。

画素 10 からの信号電荷読出しは、垂直 CCD レジスタ 20 の伝送電極のうち、 ϕ_{v1} , ϕ_{v2} が印加される伝送電極にフィールドシフトゲート 21 を設けて行っている。垂直方向の画素信号加算は垂直 CCD レジスタ 20 のタイミングを工夫して行っている。そして、本発明の特徴である水平方向の画素加算は、加算電極 30 で行う。このとき、例えば垂直 CCD レジスタ 20₁, 20₂ の列の信号電荷を加算するには、加算ゲート 31 を閉じ

— 13 —

で決まる値と同じ高解像度が得られる。また、この動作ではフィールド内で全画素の信号電荷を読出すので残像の少ない再生画像が得られる。さらに、画素信号電荷を 4 画素分加算して読出すので、垂直方向の 2 画素分加算に別して 2 倍の信号電荷になる。従って、素子出力部で混入するノイズの影響を小さくでき、 S/N の向上をはかることができる。また、本動作では水平伝送電極段数を従来の $1/2$ にでき、且つこの伝送周波数も $1/2$ にできる。このため、従来水平伝送電極構成で水平画素ピッチが決まっていたのが、この分作りが容易になるので、より高解像度の固体撮像素子が実現可能になる。

次に、第 1 図で示した動作を実現する具体的素子の一実施例について説明する。第 2 図は本発明の一実施例に係わる固体撮像装置を示す概略構成図、第 3 図は信号電荷を加算するための加算電極部を示す要部構成図である。本装置は画素 (P_{1-1} , P_{1-2} , ..., P_{M-N}) 10、垂直 CCD レジスタ (第 1 の信号伝送路) 20

— 12 —

で加算ゲート 32 を開く。この動作によりレジスタ 20₁ の信号電荷 Q_{c1} とレジスタ 20₂ の信号電荷 Q_{c2} との加算が図の a 点で行える。また、垂直 CCD レジスタ 20₂, 20₃ の列の信号電荷を加算するには、加算ゲート 32 を閉じて加算ゲート 31 を開く。この動作によりレジスタ 20₂ の信号電荷 Q_{c2} とレジスタ 20₃ の信号電荷 Q_{c3} との加算が図の b 点で行える。

以上の動作を、第 4 図乃至第 8 図を参照してより具体的に説明する。第 4 図は第 1 フィールドの動作タイミング、第 5 図は第 2 フィールドの動作タイミングを示し、第 6 図は垂直画素方向の加算状態を示し、第 7 図及び第 8 図は水平画素方向の加算状態を示す。第 4 図及び第 5 図の V_1 , V_2 , V_3 , V_4 , V_5 , V_6 , V_7 は所定の電圧を印加することを示す。PS は画素から信号電荷を読出すフィールドシフト期間を示す。AD は垂直方向の加算期間を示す。LS₁₋₁, LS₁₋₂, LS₂₋₁, LS₂₋₂ は垂直方向の伝送を示すラインシフト期間である。RO₁₋₁, RO₁₋₂,

— 14 —

特開平 1-309579(5)

RO_{s-1} , RO_{s-2} は水平 C C D レジスタ 40 の読出し動作を示す。

第 5 図 (a) は第 1 フィールドの動作であり、第 4 図のタイミングパルスを各電極へ印加した状態を示す。○印は信号電荷の位置を示す。まず、 ϕ_{v1} , ϕ_{v2} が与えられる電極にフィールドシフト電圧 V_1 を印加し、この電極に対応した画素の信号電荷を読出す。そして、A D の期間で垂直方向の 2 画素加算を行う。そして、第 7 図 (a) に示す位置までラインシフト動作を行い信号電荷を転送する。第 7 図 (a) では加算ゲート 31 を閉じて、加算ゲート 32 を開くことにより垂直 C C D レジスタ 20₁ を転送してきた信号電荷と垂直 C C D レジスタ 20₂ を転送してきた信号電荷の加算が行える。2 つの水平方向画素の信号電荷を加算後、第 7 図 (b) に示すように水平 C C D レジスタ 40 へ転送し、その後読出す。

第 2 フィールドでは第 5 図のタイミングパルスを各電極へ印加し、第 6 図 (b) の■印の信号電荷の状態となる。このとき、第 1 フィールドとは垂

— 15 —

に比べ同じ解像度を得るための水平転送段数を 1/2 にすることができ、水平転送の周波数を 1/2 に下げることができる。このため信号帯域が下げられ、この分ノイズが減少するのでダイナミックレンジを大きくできる。さらに、フィールド毎に全ての画素の信号電荷を蓄積、読出すので、残像の少ない高画質な再生像が得られる利点がある。

次に、本発明の第 2 の実施例について説明する。これは、先に説明した第 1 の実施例の加算電極の機能を、水平 C C D レジスタの駆動法で実施した例である。第 9 図は本実施例装置の要部構成図であり、第 10 図は水平 C C D レジスタ 40 の転送電極へ印加する転送パルス ϕ_{H1} , ϕ_{H2} を示すタイミングチャートであり、第 11 図はこのときの信号電荷の状態を示す模式図である。この動作を行うには、 ϕ_{H1} , ϕ_{H2} が与えられる水平 C C D レジスタ 40 の転送電極に垂直 C C D レジスタ 20 からの信号電荷が転送できるような構成としておく。第 9 図の点線で示したレジスタの配列はこの転送路を示している。 ϕ_{v1} , ϕ_{v2} , ϕ_{v3} , ϕ_{v4} は垂直

— 17 —

直方向に 1 画素組合せをずらす。そして、第 8 図 (a) に示すように加算ゲート 32 を閉じて、加算ゲート 31 を開く。このことにより、垂直 C C D レジスタ 20₁ と垂直 C C D レジスタ 20₂ を転送してきた信号電荷の加算が行える。この加算は、第 1 フィールドに対して水平方向に 1 画素ずらしている。以上の動作の全画素について行くと、第 1 図で説明した 4 画素加算のサンプリング点を得た信号を再生することができる。

このように本実施例によれば、1 画素に 1 個のフィールドシフトゲート 21 を設けるだけで、垂直及び水平の 4 画素の信号電荷を加算することができ、且つフィールド毎に加算組合せを異ならせることができる。従って、ノイズも少なく十分大きな信号電荷を得ることができ、ダイナミックレンジの増大をはかると共に、解像度の向上及びモアレの低減をはかることができる。さらに、垂直 C C D レジスタ 20 が直線状となり、信号転送路を単純な形で加算が実施できるので、より多画素の固体撮像素子も提供できる。また、従来素子

— 16 —

C C D レジスタ 20 の転送電極に与えられるパルスを示し、 ϕ_{H1} , ϕ_{H2} は水平 C C D レジスタ 40 の転送電極に与えられるパルスを示す。 Q_1 , Q_2 , ..., Q_s は垂直 C C D レジスタ 20 から流れてくる信号電荷を示す。

水平画素の加算は第 10 図のタイミング図で示すように水平ブランキングで行う。まず、第 1 フィールドの t_1 では垂直画素の信号電荷が水平方向に独立に転送されてくる。このとき ϕ_{H1} は H レベル、 ϕ_{H2} は L レベルであり、レジスタ 40 内の電荷の状態は第 11 図 (b) に示す通りである。そして、 t_2 では ϕ_{H1} を H レベル、 ϕ_{H2} を L レベルにする。これにより、第 11 図 (c) に示すように $Q_1 + Q_2$, $Q_3 + Q_4$, ... の信号電荷の加算が行える。次の第 2 フィールドではまず、第 1 フィールドと同様に ϕ_{H1} , ϕ_{H2} を H レベルにして垂直 C C D レジスタ 20 からの信号電荷の転送を行う。このときの信号電荷の状態は、第 11 図 (d) に示す如く同図 (b) と同様である。そして、今度は ϕ_{H1} を L レベル、 ϕ_{H2} を H レベルにする。これに

— 18 —

特開平 1-309579(6)

より、第11図(e)に示すように第1フィールドとは水平方向に1画素組合せをずらした $Q_0 + Q_1, Q_2 + Q_3, \dots$ の信号電荷の加算が行える。以上の動作を行うことにより、水平方向の画素の加算ができるので第1図で説明したサンプリング点を得られる。

従って本実施例によれば、先の実施例と同様の効果を得られるのは勿論のこと、水平方向の信号電荷の加算に特別に加算電極を設ける必要がなくなり、構成をより簡略化し得る等の利点がある。

次に、本発明の第3の実施例について説明する。第12図は感光部にインタライン転送構造のCCDを用いて信号電荷の蓄積部70を設け、その転送方向に水平CCDレジスタを有するフレームインタライン転送型CCDに本発明を適用した素子構成図である。この構成の特徴は、垂直CCDレジスタ20と蓄積部70との間に加算電極30を設けたことである。これにより、蓄積部70と水平CCDレジスタ40における転送効率を1/2にできる特徴が生じる。具体的な動作は、

— 19 —

また、実施例ではインタライン転送型CCDを中心に行ったが、本発明はこれに限らず、フレーム転送型CCD、MOS型固体撮像素子、ラインアドレス型固体撮像素子等へ適用できる。本発明を適用するには1フィールド内に全画素の信号電荷を读出す構成であればよい。MOS型固体撮像素子の場合は、第1及び第2の信号転送路が信号線となり、信号線と受光素子との間にそれぞれMOSゲートが配置される。そして、これらのMOSゲートのオン・オフタイミングを制御することにより、実施例と同様な加算処理が行える。また、本発明は例えばアモルファスシリコン等の光電変換膜を受光面に用いた2階層構造の固体撮像素子に適用すれば素子自身の開口が大きくなるのでよりモアレの減少、感度の向上となり、大幅に画質向上が得られる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【発明の効果】

以上詳述したように本発明によれば、第1の

— 21 —

第2図で説明した内容とほぼ同じであり、ここでは垂直CCDレジスタ20の信号電荷を水平方向に加算してから蓄積部70へ転送する。

なお、本発明は上述した各実施例に限定されるものではない。例えば、画素加算の組合せは第1図に説明したものに限定されない。第1図では第1、第2の2つのフィールドで1画面を構成した例について説明しているが、これを第1、第2、第3、第4の4つのフィールドで1画面を構成した例を第13図及び第14図に示す。4フィールドで1画面を構成するとモアレをより減少させ、実効的なサンプリングポイント数が増加するので、解像度の更なる向上を期待できる。第13図及び第14図で矢印は加算組合せを示し、○印は第1フィールドのサンプリング中心点、●印は第2フィールドのサンプリング中心点、△印は第3フィールドのサンプリング中心点、▲印は第4フィールドのサンプリング中心点である。このようなサンプリング点を得る動作は、第2図乃至第12図で説明した方法と同様にして実施できる。

— 20 —

信号転送路と第2の信号転送路との間に加算電極等を設けることにより、1画面に1個の信号读出レゲートで構成する簡易な構成にも拘らず、水平方向画素の信号加算を行うことができ、且つフィールド毎に信号電荷の組合せを異ならせることができる。従って、素子構造の複雑化を招くことなく、画素数の増加に伴うダイナミックレンジの低下及びモアレ等の偽信号の発生を防止することができ、高解像度で簡易な構成の固体撮像素子を実現することが可能となる。

4. 画面の簡単な説明

第1図乃至第8図は本発明の第1の実施例を説明するためのもので、第1図は画素配置及び加算組合せ状態を示す模式図、第2図は固体撮像装置を示す概略構成図、第3図は同装置を示す要部構成図、第4図及び第5図はタイミングチャート、第6図乃至第8図は信号電荷の転送及び加算状態を示す模式図、第9図乃至第11図は本発明の第2の実施例を説明するためのもので、第9図は要部構成図、第10図はタイミングチャート、

— 22 —

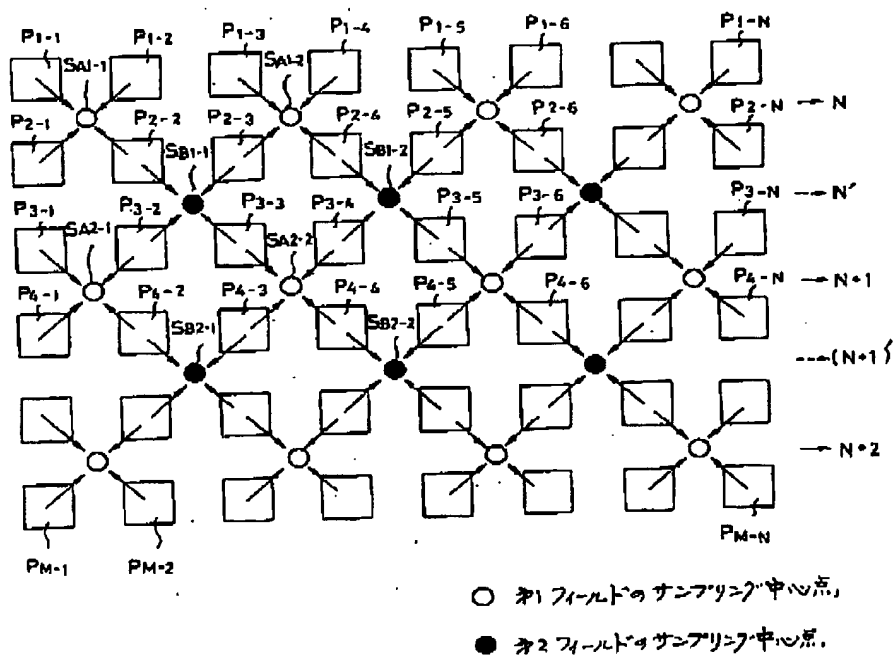
特開平 1-309579(7)

第11図は加算状態を示す模式図、第12図は本発明の第3の実施例を示す要部構成図、第13図及び第14図は変形例を説明するための模式図である。

10…画素($P_1, P_{1-1}, P_{1-2}, \sim, P_{M-N}$)、
 20…垂直CCDレジスタ(第1の信号伝送路)、
 21…フィールドシフトゲート、30…加算電極、
 31, 32…加算ゲート、40…水平CCDレジスタ(第2の信号伝送路)、50…アンプ、
 60…出力端子、70…落積部。

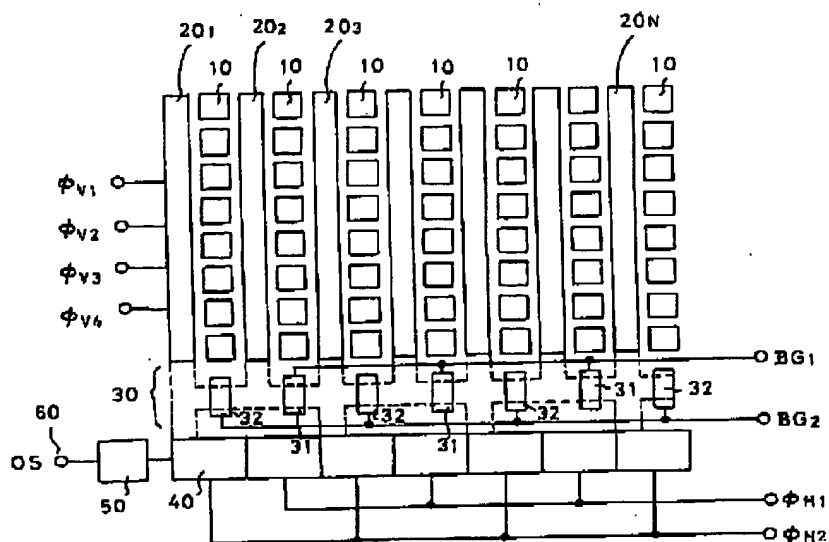
出願人代理人 弁理士 鈴江武彦

- 23 -

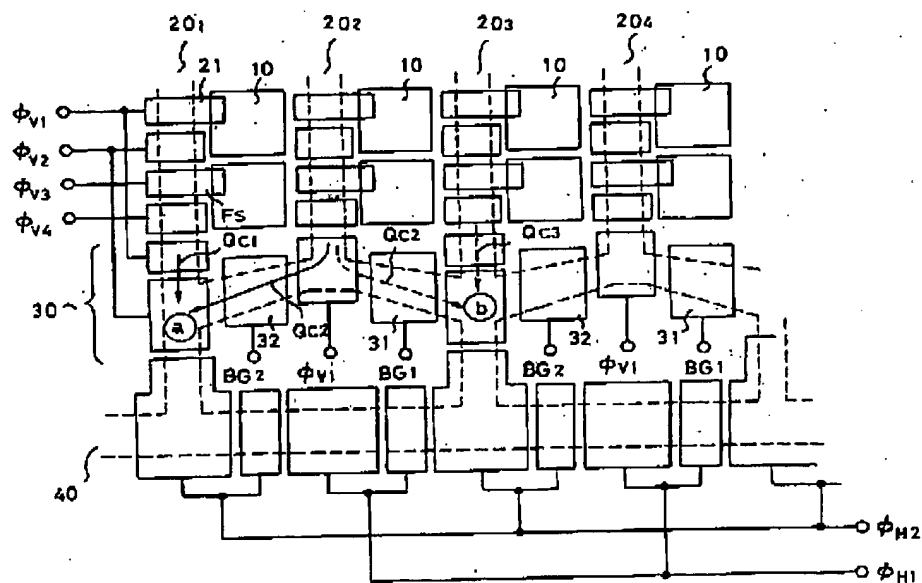


第1図

特開平 1-309579(8)

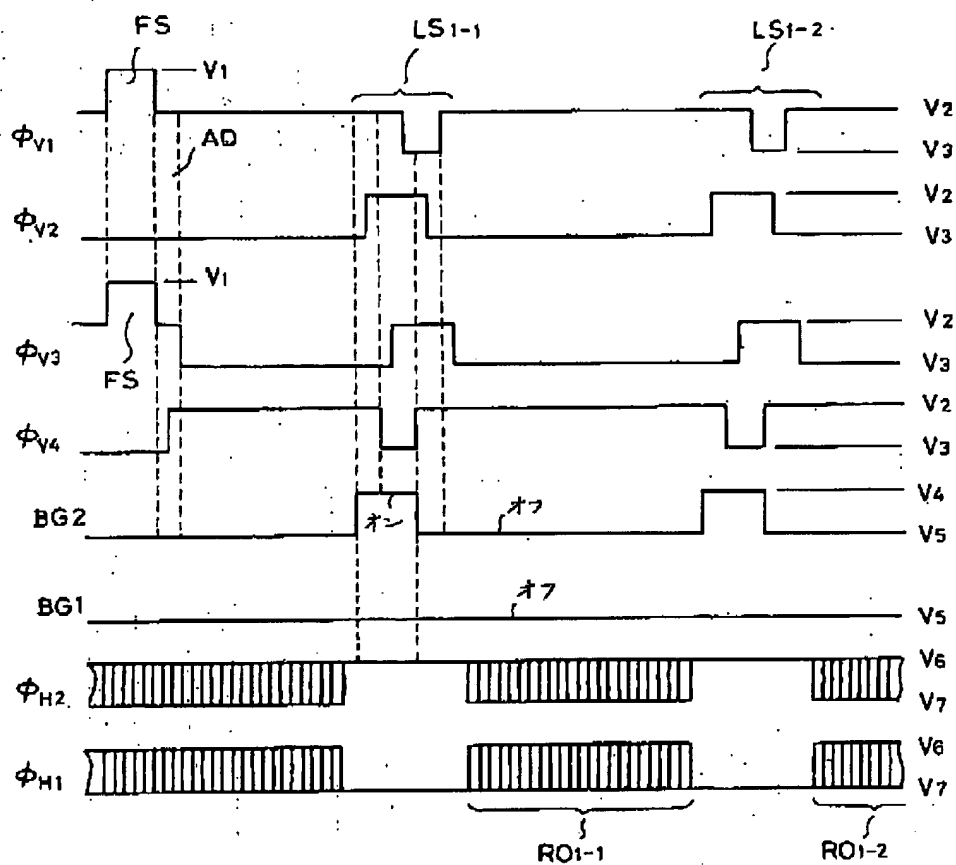


第 2 図



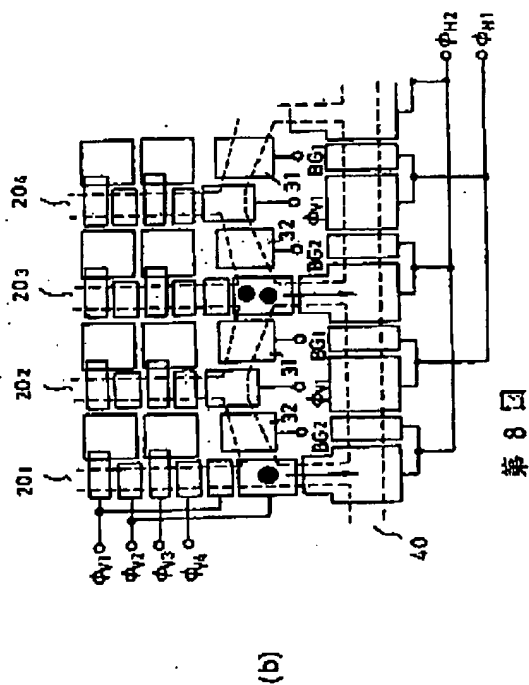
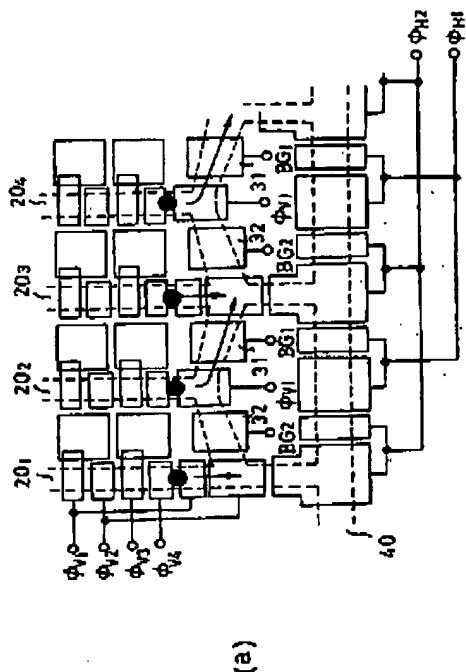
第 3 図

特開平 1-309579(9)

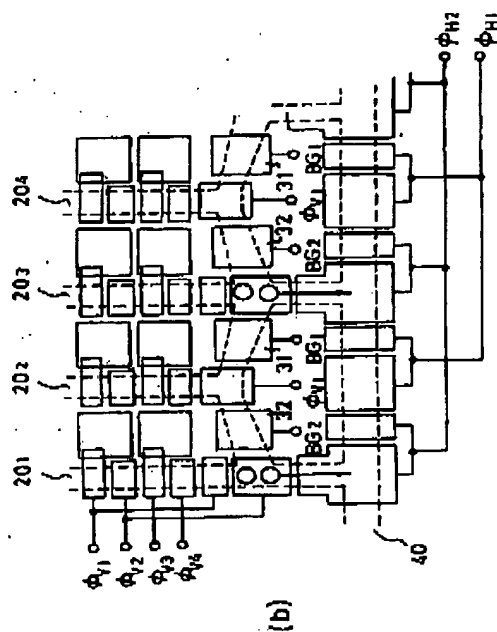
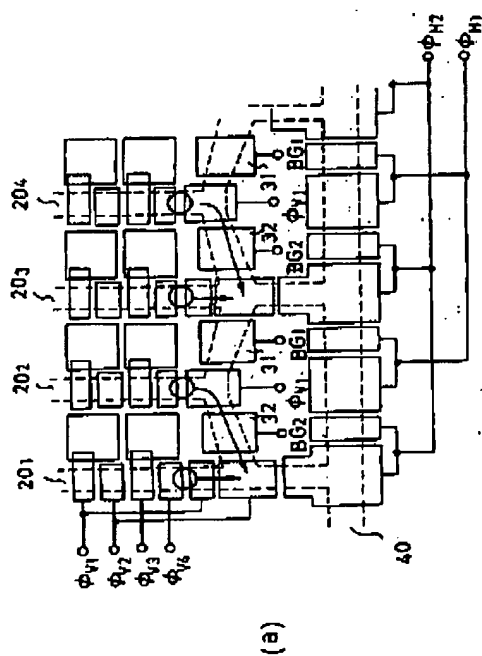


第 4 図

特開平 1-309579(11)

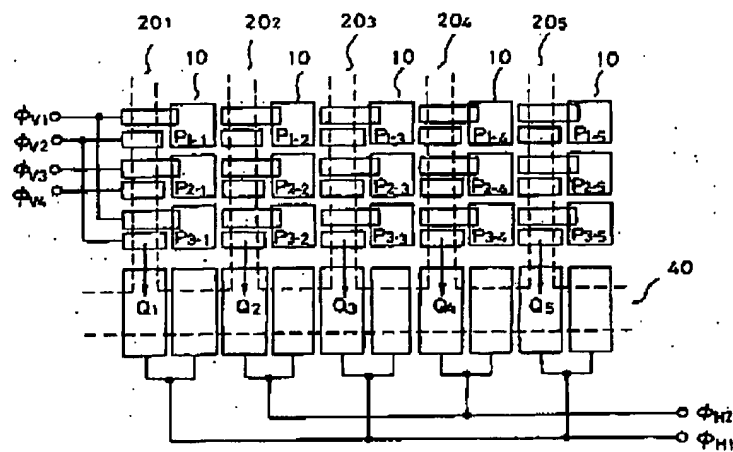


第 8 図

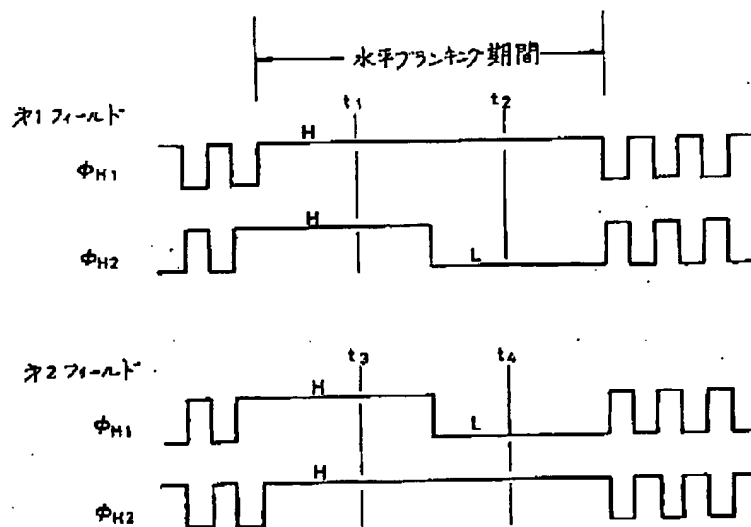


第 7 図

特開平 1-309579(12)

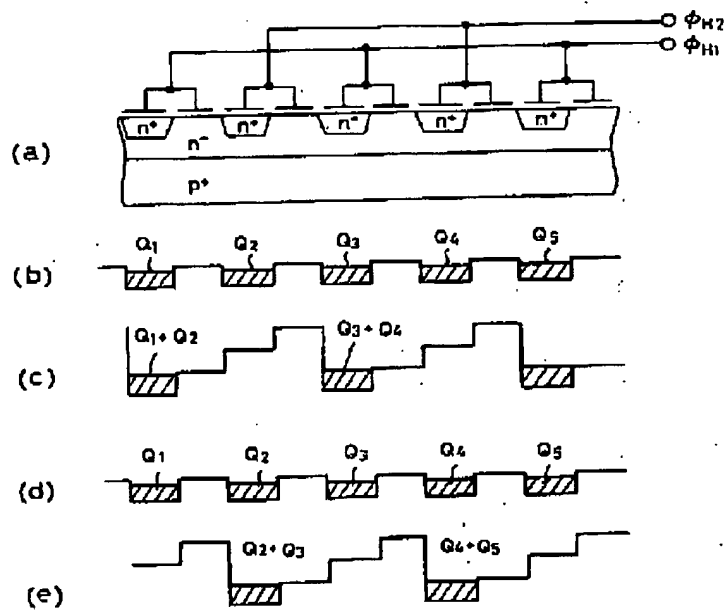


第 9 図

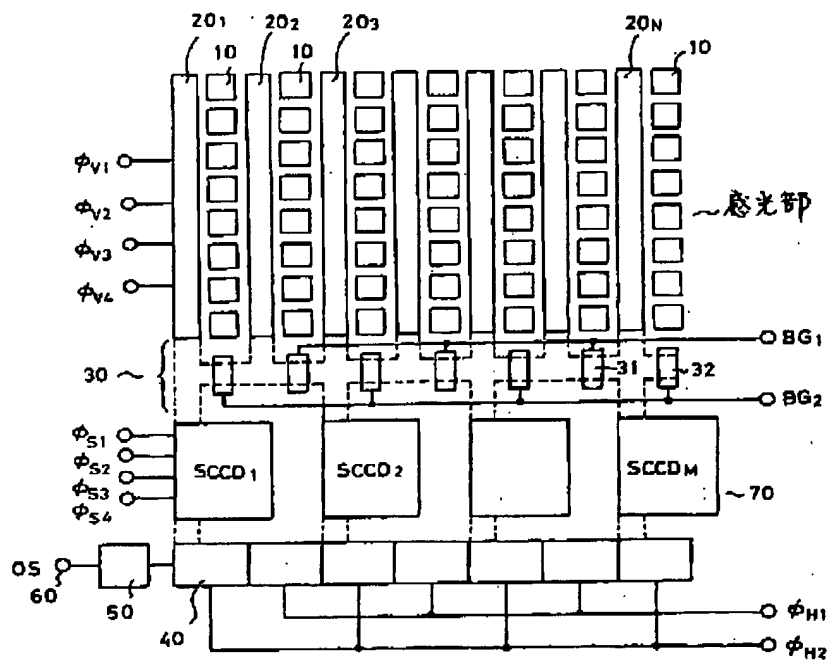


第 10 図

特開平 1-309579(13)

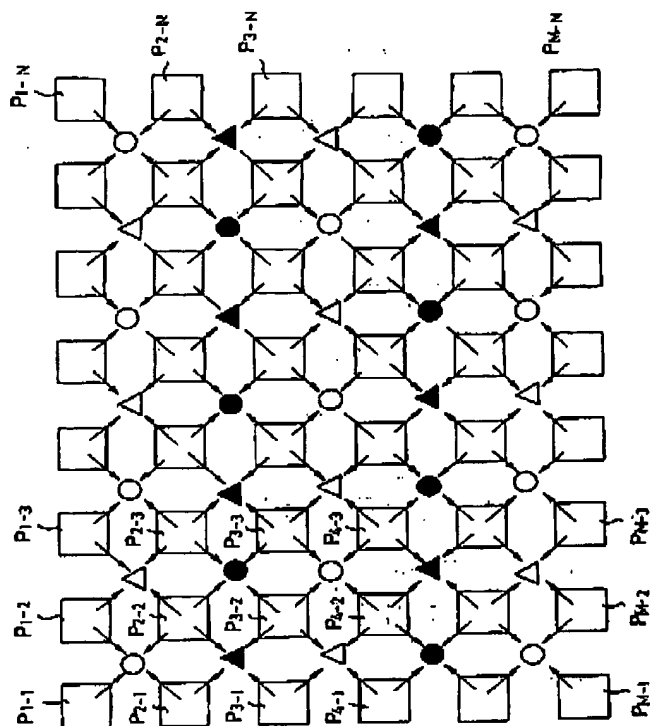


第 11 図



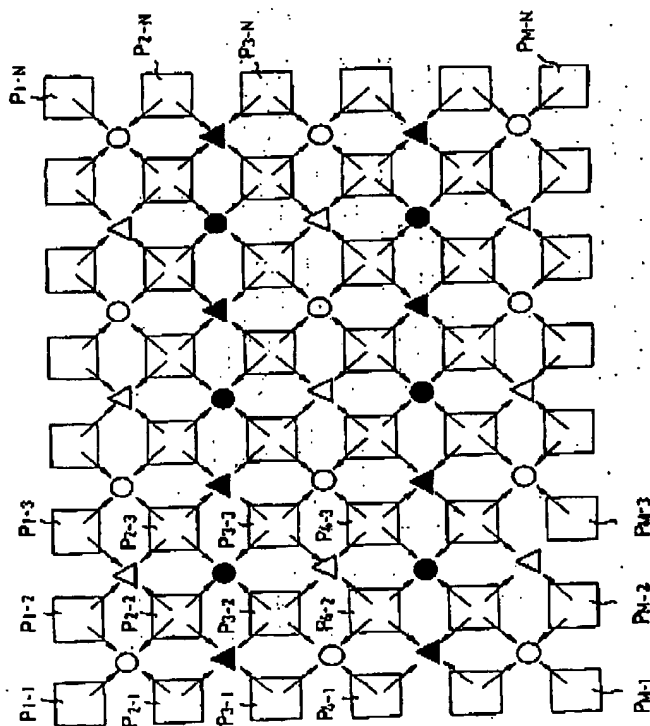
第 12 図

特開平 1-309579(14)



- 第1 フォーランドのサンプリング中心点,
- 第2 フォーランドのサンプリング中心点,
- △ 第3 フォーランドのサンプリング中心点,
- ▲ 第4 フォーランドのサンプリング中心点,

第 14 図



- 第1 フォーランドのサンプリング中心点,
- 第2 フォーランドのサンプリング中心点,
- △ 第3 フォーランドのサンプリング中心点,
- ▲ 第4 フォーランドのサンプリング中心点,

第 13 図

特開平 1-309579(15)

第1頁の続き

⑦発明者	阿部	正英	東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内
⑧発明者	吉川	重夫	東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内
⑨発明者	遠藤	幸雄	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑩発明者	松長	誠之	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑪発明者	原田	望	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

手続補正書

昭和 63.7.15
年 月 日

特許庁長官 宮田文毅 殿

1. 事件の表示

特願昭63-139519号

2. 発明の名称

固体撮像装置

3. 補正をする者

事件との関係 特許出願人

(435) 日本放送協会(ほか1名)

4. 代理人

東京都千代田区根が関3丁目7番2号UBEビル

〒100 電話 03(502)3181 (大代表)

(5847) 弁護士 錦江武彦



5. 自発補正

6. 補正の対象

明細書

7. 補正の内容

- (1) 特許請求の範囲の記載を別紙の通りに訂正する。
- (2) 明細書の第8頁5行目から同頁7行目にかけて「第1の……加算を」とあるのを、「 n 番目 (n は正の整数、以下同)の第1の信号転送路と($n-1$)番目の第1の信号転送路の信号電荷の加算、又は n 番目の第1の信号転送路と($n+1$)番目の第1の信号転送路の信号電荷の加算を」と訂正する。



- 2 -

- 667 -

特開平 1-309579(16)

2. 特許請求の範囲

(1) 複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、前記各受光素子に接続され該受光素子で検出された信号電荷を取り出し垂直方向に転送する複数本の第1の信号転送路と、これらの第1の信号転送路から転送される信号電荷を入力し、該電荷を水平方向に転送して読出す第2の信号転送路と、隣接する第1の信号転送路の信号電荷を加算する手段とを具備し、前記加算手段は、 n 番目（ n は正の整数、以下同）の第1の信号転送路と（ $n-1$ ）番目の第1の信号転送路の信号電荷の加算、又は n 番目の第1の信号転送路と（ $n+1$ ）番目の第1の信号転送路の信号電荷の加算をフィールド毎に選択して行うものであることを特徴とする固体撮像装置。

(2) 前記第1及び第2の信号転送路は、CCDレジスタ又は倍号線であることを特徴とする請求項1記載の固体撮像装置。

(3) 前記加算手段は、加算すべき第1の信号転送

— 1 —

路の組合わせを、フィールド毎に異ならせるものであることを特徴とする請求項1記載の固体撮像装置。

(4) 前記加算手段は、第1及び第2の信号転送路の間に設けられた加算ゲートからなり、第1の信号転送路から第2の信号転送路に信号電荷が転送される際に2つの信号電荷を加算するものであることを特徴とする請求項1又は3記載の固体撮像装置。

(5) 前記加算手段は、第1の信号転送路から第2の信号転送路に信号電荷を転送する期間又はその直後に、第2の信号転送路内で2つの信号電荷を加算するものであることを特徴とする請求項1又は3記載の固体撮像装置。

(6) 複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、前記各受光素子に接続され該受光素子で検出された信号電荷を取り出し垂直方向に転送する複数本の垂直CCDレジスタと、これらのレジスタから転送される信号電荷を入力し、該電荷を水

— 2 —

平方向に転送して読出す水平CCDレジスタと、垂直及び水平CCDレジスタの間にそれぞれ配置され隣接する垂直CCDレジスタの信号電荷を加算する加算ゲートとを具備し、前記加算ゲートは、 n 番目（ n は正の整数、以下同）の垂直CCDレジスタと（ $n-1$ ）番目の垂直CCDレジスタの信号電荷の加算、及び n 番目の垂直CCDレジスタと（ $n+1$ ）番目の垂直CCDレジスタの信号電荷の加算をフィールド毎に交互に行うものであることを特徴とする固体撮像装置。

(7) 複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、前記各受光素子に接続され該受光素子で検出された信号電荷を取り出し垂直方向に転送する複数本の垂直CCDレジスタと、これらのレジスタから転送される信号電荷を水平方向に転送して読出し、且つ垂直CCDレジスタから信号電荷を転送する期間又はその直後に隣接する垂直CCDレジスタからの信号電荷を加算する水平CCDレジスタとを具備し、前記水平CCDレジスタは、

— 3 —

出願人代理人 弁理士 鈴江武彦

— 4 —